

WEST

## End of Result Set



Generate Collection

Print

L29: Entry 1 of 1

File: DWPI

Jan 10, 1997

DERWENT-ACC-NO: 1997-124708

DERWENT-WEEK: 199712

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Insulating film mfg method using CVD process for semiconductor device - by flowing raw material gas containing methyl fluoro silane, hydrogen peroxide or methyl silane, methyl chloro silane on substrate

PATENT-ASSIGNEE: SONY CORP (SONY)

PRIORITY-DATA: 1995JP-0157587 (June 23, 1995)

## PATENT-FAMILY:

| PUB-NO        | PUB-DATE         | LANGUAGE | PAGES | MAIN-IPC    |
|---------------|------------------|----------|-------|-------------|
| JP 09008031 A | January 10, 1997 |          | 007   | H01L021/316 |

## APPLICATION-DATA:

| PUB-NO       | APPL-DATE     | APPL-NO        | DESCRIPTOR |
|--------------|---------------|----------------|------------|
| JP 09008031A | June 23, 1995 | 1995JP-0157587 |            |

INT-CL (IPC): H01 L 21/316; H01 L 21/768

ABSTRACTED-PUB-NO: JP 09008031A

## BASIC-ABSTRACT:

The method involves using a substrate (11).

A raw material gas containing methyl fluoro silane, or methyl fluoro silane, hydrogen peroxide, or methyl silane, methyl chloro silane is made to flow on the substrate to form an insulating film (14) using CVD process.

ADVANTAGE - Provides low dielectric constant. Reduces power consumption. Maintains implanting capacity and gap filling capacity at high state. Improves yield and reliability of device. Improves speed of elements. Forms superb insulating film on substrate.

ABSTRACTED-PUB-NO: JP 09008031A

## EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/2

DERWENT-CLASS: E11 L03 U11

CPI-CODES: E05-E02D; E31-E; L04-C12;

EPI-CODES: U11-C05B2; U11-C05B7;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8031

(43) 公開日 平成9年(1997)1月10日

| (51) Int. Cl. <sup>6</sup> | 識別記号 | 庁内整理番号 | F I            | 技術表示箇所 |
|----------------------------|------|--------|----------------|--------|
| H 0 1 L 21/316             |      |        | H 0 1 L 21/316 | X      |
| 21/768                     |      |        | 21/90          | S      |

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平7-157587

(22) 出願日 平成7年(1995)6月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

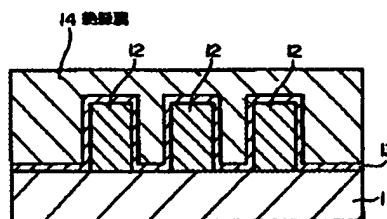
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 化学的気相成長法による絶縁膜の製造方法

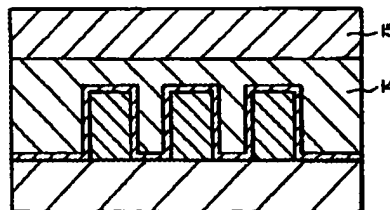
(57) 【要約】

【目的】 本発明は、埋め込み能力とギャップフィル能力とを高い状態に保ってSiO<sub>2</sub>よりも低い誘電率を有する酸化シリコン系の絶縁膜の形成を図る。

【構成】 少なくともメチルフロロシランと水、またはメチルフロロシランと過酸化水素を含む原料ガスを用いて、化学的気相成長法により絶縁膜14を形成する方法である。その原料ガスには、少なくとも、メチルシランと過酸化水素、メチルクロロシランと水、またはメチルクロロシランと過酸化水素を含むものも用いることも可能である。



(1)



(2)

本発明の実施例の製造工程図

1

## 【特許請求の範囲】

【請求項1】 化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法で用いる原料ガスは、少なくともメチルフロロシランと水、またはメチルフロロシランと過酸化水素を含むことを特徴とする化学的気相成長法による絶縁膜の製造方法。

【請求項2】 化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法で用いる原料ガスは、少なくともメチルシランと過酸化水素を含むことを特徴とする化学的気相成長法による絶縁膜の製造方法。

【請求項3】 化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法で用いる原料ガスは、少なくともメチルクロロシランと水、またはメチルクロロシランと過酸化水素を含むことを特徴とする化学的気相成長法による絶縁膜の製造方法。

【請求項4】 請求項1記載の化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法における基板温度は前記原料ガスのうちの1種類のガスの凝固点より高く50℃以下に設定されることを特徴とする化学的気相成長法による絶縁膜の製造方法。

【請求項5】 請求項2記載の化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法における基板温度は前記原料ガスのうちの1種類のガスの凝固点より高く50℃以下に設定されることを特徴とする化学的気相成長法による絶縁膜の製造方法。

【請求項6】 請求項3記載の化学的気相成長法による絶縁膜の製造方法において、

前記化学的気相成長法における基板温度は前記原料ガスのうちの1種類のガスの凝固点より高く50℃以下に設定されることを特徴とする化学的気相成長法による絶縁膜の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の絶縁膜の形成技術に関し、特に、0.25μm以下の設計ルール10 のデバイスプロセスに用いられる化学的気相成長法による絶縁膜の製造方法に関するものである。

## 【0002】

【従来の技術】半導体装置の微細化、低消費電力化および高速化などの要求にともない、それらを実現するための手段の一つとして層間絶縁膜の低誘電率化が検討されている。現在開示されている低誘電率材料は、炭素原子またはフッ素原子を含有することで誘電率を下げてい15 る。現在のところ、誘電率1.5~2.5程度のものが実現されている。

2

【0003】炭素原子を含む低誘電率材料では、有機SOG (SOGはSpin on glassの略)、ポリイミド、ポリバラキシリレンなどが知られている。これらの材料は、炭素原子をアルキル基として含むことで、材料の密度を下げることで、および分子自身の分極率を低くすることで、低誘電率になっているといわれている。また、これらの材料は、単に誘電率が低いだけではなく、半導体装置の材料として不可欠な耐熱性を有している。有機SOGはシロキサン構造を持つことで、ポリイミドはイミド結合を有することで、ポリバラキシリレンはベンゼン環を有することで、それぞれ耐熱性を有している。

【0004】フッ素原子を含む低誘電率材料は酸フッ化シリコン(SiOF)が知られている。この材料はシリコン-酸素-シリコン(Si-O-Si)結合をフッ素(F)原子により終端することで、密度を下げることで、フッ素自身の分極率が低いことなどが原因で誘電率を下20 げている。もちろん、この材料は耐熱性にも優れている。

【0005】一方、低誘電率膜に限らず絶縁膜は、配線間を埋め込むためにいわゆるギャップフィル能力およびグローバル平坦化能力が必要である。ギャップフィル能力に優れている方法として注目されているのが、いわゆるAPL (Advanced Planarization Layerの略称)技術である。このAPL技術は、原料ガスに用いている全てのガスが沸点以下になるように基板温度を設定して、基板表面で原料ガスを液状化させることによって、狭い配線間に液体を流し込むようにして埋め込む方法である。

【0006】すなわち、原料ガスには、モノシラン(SiH<sub>4</sub>)と過酸化水素(H<sub>2</sub>O<sub>2</sub>)とを用い、基板温度を0℃前後に保持して化学的気相成長を行う方法である。そのため、基板表面は、液体を滴下して盛った状態のような形状に酸化シリコン(SiO<sub>2</sub>)からなる絶縁膜が形成される。このAPL技術では、アスペクト比が4程度の段差まで埋め込むギャップフィル能力があり、10μm平方をほぼ平坦に埋め込むグローバル平坦化能力がある。そして基板温度を10℃以上に上げると、液体のような挙動を示さなくなるため、ギャップフィル能力やグローバル平坦化能力は低下することが知られている。

## 【0007】

【発明が解決しようとする課題】上記従来の技術で説明したAPL技術は、成膜表面の形状に関しては優れた技術ではあるが、低誘電率膜を形成するという点では不十分である。APL技術によって形成した絶縁膜の比誘電率は4~5程度であるため、一般に知られているSOG (Spin on glass)膜やオゾン(O<sub>3</sub>)-テトラエトキシシラン(TEOS)を用いた化学的気相成長(以下CVDという。CVDはChemical Vapour Depositionの略である)法によって成膜したシリコン系酸化膜と同程度50 の比誘電率しか得られない。それは、APL技術によ

3

て成膜された膜は酸化シリコン ( $\text{SiO}_2$ ) であるため、理想的に誘電率を下げたとしても、3.8程度までしか比誘電率は下がらない。また、APL技術によって成膜された膜は、膜中に比誘電率を高める効果を有する水酸基 ( $-\text{OH}$ ) が含まれているため、当然のことながら酸化シリコンより誘電率が高くなる。

【0008】そこで  $\text{SiO}_2$  膜の比誘電率を3.8より低くするために、最近では、膜中にフッ素 (F) 原子を混合させて比誘電率を3.0程度まで下げる技術が検討されている。しかしながら、フッ素 (F) が半導体デバイスに及ぼす影響が明らかになっていないため、フッ素 (F) を用いないでしかも埋め込み能力が高い絶縁膜の形成技術が求められている。

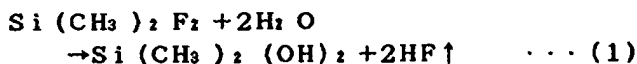
【0009】本発明は、埋め込み能力が高くかつ比誘電率が低いいわゆる低誘電率膜を形成するのに優れた化学的気相成長法による絶縁膜の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたCVD法による絶縁膜の製造方法である。すなわち、第1の方法は、少なくともメチルフロロシランと水、またはメチルフロロシランと過酸化水素を含む原料ガスを用いたCVD法による絶縁膜の製造方法である。第2の方法は、少なくともメチルシランと過酸化水素を含む原料ガスを用いたCVD法による絶縁膜の製造方法である。第3の方法は、少なくともメチルクロロシランと水、またはメチルクロロシランと過酸化水素を含む原料ガスを用いたCVD法による絶縁膜の製造方法である。

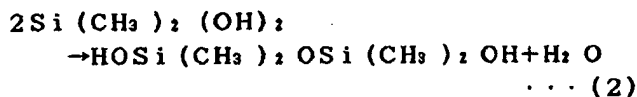
【0011】

\* 30



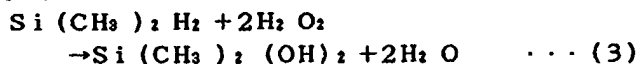
【0015】

※ ※ 【化2】



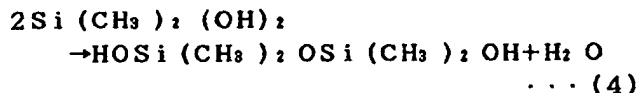
【0016】またメチルシランと過酸化水素とを用いた場合には以下になる。 ★ 【0017】

★ 【化3】



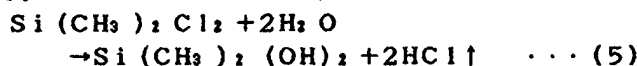
【0018】

☆ ☆ 【化4】



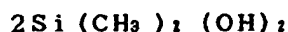
【0019】またメチルクロロシランと水とを用いた場合には以下になる。 ◆ 【0020】

◆ 【化5】



【0021】

\* \* 【化6】



4

\* 【作用】低誘電率膜の一つとして、有機SOG (Spin on glass) が知られている。これはシリコン (Si) 原子の4つの結合手のうちの少なくとも一つをアルキル基に置き換えたもので、いわゆるシリコーン樹脂である。有機SOGが低誘電率になるのは、シリコン原子にアルキル基が結合することによって結合のネットワークが断ち切れ、分子間の電子の行き来がなくなるためである。また、化学的な結合が切れるため、膜の密度も低くなっている。前者は、電子分極率が小さくなることで、後者は分極する単位体積当たりの分子数が少なくなることで、誘電率が低くなっている。

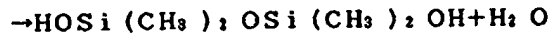
【0012】上記CVD法による絶縁膜の製造方法は、有機SOGをCVDによって形成する方法であって、メチルフロロシラン、メチルシランまたはメチルクロロシランを原料ガスに用いてCVDにより成膜することから、ギャップフィル能力とグローバル平坦化能力とを有する低誘電率膜が形成される。すなわち、上記CVDによる絶縁膜の製造方法に用いる原料ガスにアルキル基を含むガスが用いられることから、CVD反応によってシリコン原子の4つの結合手のうちの少なくとも一つがアルキル基に置き換えられる。

【0013】上記CVD法による有機SOG膜の形成過程の一例を、メチルフロロシラン ( $\text{Si}(\text{CH}_3)_2\text{F}_2$ ) と水 ( $\text{H}_2\text{O}$ ) とを用いた場合で以下に説明する。原料ガスのメチルフロロシランおよび  $\text{H}_2\text{O}$  は加熱して気化させて別々に反応室に導入する。反応室における反応は、以下のようになる。

【0014】

【化1】

5



... (6)

【0022】このような重合反応を繰り返すことによって、アルキル基（ここではメチル基）を含んだシリコン系酸化膜が形成されることになる。このようにアルキル基を含むため、このシリコン系酸化膜の比誘電率は、アルキル基を含まない酸化シリコン（ $\text{SiO}_2$ ）膜よりも低くなる。また上記重合反応は、比較的反応が遅いため、重合が進まないうちは、この膜は液体のうように振る舞う。したがって、このCVD法では、ギャップフィル能力とグローバル平坦化能力の両方を有することになる。上記説明では、 $\text{Si}(\text{CH}_3)_2\text{F}_2$ 、 $\text{Si}(\text{CH}_3)_3\text{H}$ 、 $\text{Si}(\text{CH}_3)_2\text{Cl}_2$  に関して説明したが、他に  $\text{Si}(\text{CH}_3)_2\text{Cl}_2$ 、 $\text{Si}(\text{CH}_3)_3\text{F}$ 、 $\text{Si}(\text{CH}_3)_3\text{H}$  等であっても同様の反応となる。

【0023】また、水（ $\text{H}_2\text{O}$ ）の代わりに過酸化水素（ $\text{H}_2\text{O}_2$ ）を用いた場合には、(1)式においてはフッ化水素（ $\text{HF}$ ）とともに酸素（ $\text{O}_2$ ）が発生する。また(5)式においては塩化水素（ $\text{HCl}$ ）とともに酸素（ $\text{O}_2$ ）が発生する。

【0024】

【実施例】第1発明の実施例として、本発明の低誘電率な絶縁膜の製造方法とその前後のプロセス工程とを併せて、図1の製造工程図によって説明する。この図1は、本発明の製造方法を用いて成膜した絶縁膜を用いた配線構造の断面図である。

【0025】図1の(1)に示すように、配線材料の成膜工程、リソグラフィー工程、エッチング工程等からなる既知の配線形成技術によって、基板11上に複数の配線12を形成した。上記基板11は、例えば、半導体基板上に素子（図示省略）が形成され、その素子を覆う状態に絶縁膜（図示省略）が形成されたものである。続いて各配線12を覆う状態に保護膜13を形成した。この保護膜13は、その上面側に形成される本発明のシリコン系酸化膜を形成する際に生成される水分やアルコール成分などから基板11や配線12を保護するもので、それによって、例えばコロージョンの防止が図られ、トランジスタのホットキャリア耐性が確保される。

【0026】次に上記保護膜13の製造方法の一例を説明する。原料ガスにシリコン原子を含むガスとして例えばモノシラン（ $\text{SiH}_4$ ）と酸素原子（ $\text{O}$ ）を含むガスとして例えば酸化二窒素（ $\text{N}_2\text{O}$ ）とを用い、それに希釈（搬送）ガスとして例えばヘリウム（ $\text{He}$ ）を混合して、容量結合型のプラズマCVD装置（図示省略）に導入した。そしてプラズマCVD装置の電極間に高周波電力を供給し、このプラズマCVD装置内に配置された上記基板11上に保護膜13を例えば50nmの厚さに形成した。保護膜13の形成時は、このプラズマCVD装置内の真空度は例えば100Paとし、基板11は例えば350℃に加熱し、13.56MHzの高周波電力を\*50

6

\*例えば1.0W/cm<sup>2</sup>の密度で印加した。

【0027】次に、上記保護膜13上に本発明の方法によって酸化シリコン系の絶縁膜14を形成した。

【0028】上記絶縁膜14の製造方法の一例を説明する。原料ガスに、シリコン原子を含むガスとして例えばメチルフロロシラン〔 $\text{Si}(\text{CH}_3)_2\text{F}_2$ 、 $\text{Si}(\text{CH}_3)_3\text{F}$ 等〕、ハロゲンを分解するための物質として例えば水（ $\text{H}_2\text{O}$ ）とを混合したものを、その原料ガスを一般の低圧CVD装置（図示省略）に導入した。上記原料ガスの流量は、ジメチルジフロロシラン〔 $\text{Si}(\text{CH}_3)_2\text{F}_2$ 〕：25sccm、メチルトリフロロシラン〔 $\text{Si}(\text{CH}_3)_3\text{F}$ 〕：25sccm、水（ $\text{H}_2\text{O}$ ）：200sccmとした。以下、sccmは標準状態における体積流量（cm<sup>3</sup>/分）を表す。

【0029】この低圧CVD装置内には導入ガスを拡散するための拡散板（図示省略）が設けられている。そして上記拡散板を例えば100℃に保持して、絶縁膜14を例えば800nmの厚さに形成した。絶縁膜14の形成時には、低圧CVD装置内の真空度を例えば200Paとし、基板11は0℃に冷却した。

【0030】このようにして成膜した絶縁膜14においては、シリコンにアルキル基（ここではメチル基）が結合されたため、結合のネットワークが断ち切られるので電子分極率が小さくなる。また膜の密度が低くなるため、分極する単位体積当たりの分子数が少なくなる。それによって、膜の比誘電率が低くなる。また本発明の原料ガスによるCVD反応は比較的反応が遅いため、重合が進まないうちは、この膜は液体のうように振る舞う。そのため、絶縁膜14においては、比誘電率は2.5〜3.5となり、ギャップフィル能力はアスペクト比=4まであり、グローバル平坦化度は配線間隔が10μmまではほぼ平坦な形状を保つことができた。

【0031】次いで図1の(2)に示すように、上記絶縁膜14の上面に別の絶縁膜15として、CVD法によって、厚さが0.3μmの酸化シリコン（ $\text{SiO}_2$ ）膜を形成した。この堆積方法としては、CVD法以外にもあり、例えばスパッタリング法または塗布法がある。

【0032】次に、上記絶縁膜14中の水分を除去するためにアニーリングを行った。このアニーリングでは、例えば一般に用いられているファーンズアニール炉を用い、不活性な雰囲気として例えば400℃の窒素（ $\text{N}_2$ ）雰囲気中で15分間のアニーリングを行った。

【0033】さらに多層配線を形成する場合には、概略断面図で表した図2に示すように、上記図1で説明した保護膜13、絶縁膜14および別の絶縁膜15に、必要に応じてコンタクトホール16を開孔する。続いてこのコンタクトホール16内に導電性のプラグ17を形成する。次いで上記別の絶縁膜15上に配線21、保護膜2

2を上記図1を用いて説明したのと同様の方法によって形成する。そして、本発明の方法によって絶縁膜23(図1の絶縁膜14に相当)を形成する。続いて上記図1の(2)を用いて説明したのと同様の方法によって別の絶縁膜24を形成する。その後アニーリングを行って絶縁膜23中の水分を除去する。このように、上記図1で説明した工程を繰り返して行えば多層配線が形成できる。

【0034】上記第1の発明の実施例では、2種類のメチルフロロシランを用いたが、これは膜中のメチル基の混合比を制御するためである。 $\text{Si}(\text{CH}_3)_2\text{F}_2$ を増やせばメチル基の割合は増加して誘電率が下がるが、その分、膜質は劣化する。一方、 $\text{Si}(\text{CH}_3)\text{F}_3$ を増やせばメチル基の割合は減少するが、膜質は良くなる。さらに膜質が要求される場合は、四フッ化ケイ素( $\text{SiF}_4$ )を導入すればよい。また、ハロゲンを分解するための物質として水( $\text{H}_2\text{O}$ )を用いたが、例えば過酸化水素( $\text{H}_2\text{O}_2$ )を用いることも可能である。そのときの条件は水と同様である。

【0035】さらに上記基板温度を0℃に設定したが、この基板温度は、原料ガスのうちの少なくとも1種類のガスが液化化する温度に設定されていけばよい。したがって、基板温度は、原料ガスのうちの少なくとも1種類のガスの凝固点より高く設定され、上限は50℃に設定される。もし凝固点以下に設定された場合には、原料ガスは昇華して液化化しない。また50℃より高い温度では気化して液化化しない。したがって、基板温度は上記温度範囲に設定される。

【0036】次に第2発明の実施例を説明する。この実施例は、上記図1によって説明した絶縁膜14の製造方法以外は、上記第1発明の実施例と同様なので、ここでは、上記図1を用いて、絶縁膜14の製造方法を説明し、他の構成部品の説明は省略する。

【0037】以下、絶縁膜14の製造方法の一例を説明する。原料ガスにシリコン原子を含むガスとして例えばメチルシラン( $\text{Si}(\text{CH}_3)_2\text{H}_2$ 、 $\text{Si}(\text{CH}_3)\text{H}_3$ 等)、水素を酸化するための物質として例えば過酸化水素( $\text{H}_2\text{O}_2$ )とを混合したものを用い、その原料ガスを一般の低圧CVD装置(図示省略)に導入した。上記原料ガスの流量は、メチルシラン( $\text{Si}(\text{CH}_3)_2\text{H}_2$ ):25sccm、メチルシラン( $\text{Si}(\text{CH}_3)\text{H}_3$ ):25sccm、過酸化水素( $\text{H}_2\text{O}_2$ ):200sccmとした。

【0038】この低圧CVD装置内には導入ガスを拡散するための拡散板(図示省略)が設けられている。そして上記拡散板を例えば100℃に保持して、絶縁膜14を例えば800nmの厚さに形成した。絶縁膜14の形成時には、低圧CVD装置内の真空度を例えば200Paとし、基板11は0℃に冷却した。

【0039】このようにして成膜した絶縁膜14におい

ては、シリコンにアルキル基(ここではメチル基)が結合されたため、結合のネットワークが断ち切られるので電子分極率が小さくなる。また膜の密度が低くなるため、分極する単位体積当たりの分子数が少なくなる。それによって、膜の比誘電率が低くなる。また本発明の原料ガスによるCVD反応は比較的反応が遅いため、重合が進まないうちは、この膜は液体のうように振る舞う。そのため、絶縁膜14においては、比誘電率は2.5~3.5となり、ギャップフィル能力はアスペクト比=4まであり、グローバル平坦化度は配線間隔が10μmまではほぼ平坦な形状を保つことができた。

【0040】以下、上記図1によって説明したのと同様にして、例えばCVD法によって、絶縁膜14の上面に別の絶縁膜15として厚さが0.3μmの酸化シリコン( $\text{SiO}_2$ )膜を形成した。この堆積方法としては、CVD法以外にもあり、例えばスパッタリング法または塗布法がある。

【0041】次に、上記絶縁膜14中の水分を除去するためにアニーリングを行った。このアニーリングでは、例えば一般に用いられているファーネスアニール炉を用い、不活性な雰囲気として例えば400℃の窒素( $\text{N}_2$ )雰囲気中で15分間のアニーリングを行った。

【0042】そして多層配線を形成する場合には、上記説明した工程を繰り返して行えばよい。その結果、上記図2に示したような構造の多層配線構造が形成できる。

【0043】上記第2発明の実施例では、2種類のメチルシランを用いたが、これは膜中のメチル基の混合比を制御するためである。 $\text{Si}(\text{CH}_3)_2\text{H}_2$ を増やせばメチル基の割合は増加して誘電率が下がるが、その分、膜質は劣化する。一方、 $\text{Si}(\text{CH}_3)\text{H}_3$ を増やせばメチル基の割合は減少するが、膜質は良くなる。さらに膜質が要求される場合は、四フッ化ケイ素( $\text{SiF}_4$ )を導入すればよい。

【0044】さらに上記基板温度を0℃に設定したが、この基板温度は、原料ガスのうちの少なくとも1種類のガスが液化化する温度に設定されていけばよい。したがって、基板温度は、原料ガスのうちの少なくとも1種類のガスの凝固点より高く設定され、上限は50℃に設定される。もし凝固点以下に設定された場合には、原料ガスは昇華して液化化しない。また50℃より高い温度では気化して液化化しない。したがって、基板温度は上記温度範囲に設定される。

【0045】次に第3発明の実施例を説明する。この実施例は、上記図1によって説明した絶縁膜14の製造方法以外は、上記第1発明の実施例と同様なので、ここでは、上記図1を用いて、絶縁膜14の製造方法を説明し、他の構成部品の説明は省略する。

【0046】以下、絶縁膜14の製造方法の一例を説明する。原料ガスにシリコン原子を含むガスとして例えばメチルクロロシラン( $\text{Si}(\text{CH}_3)_2\text{Cl}_2$ )と、ハ

9

ロゲンを分解するための物質として例えば水 ( $\text{H}_2\text{O}$ ) とを混合したものを用い、その原料ガスを一般の低圧CVD装置 (図示省略) に導入した。上記原料ガスの流量は、メチルクロロシラン ( $\text{Si}(\text{CH}_3)_2\text{Cl}_2$ ) : 50 sccm、過酸化水素 ( $\text{H}_2\text{O}_2$ ) : 200 sccmとした。

【0047】この低圧CVD装置内には導入ガスを拡散するための拡散板 (図示省略) が設けられている。そして上記拡散板を例えば100℃に保持して、絶縁膜14を例えば800nmの厚さに形成した。絶縁膜14の形成時には、低圧CVD装置内の真空度を例えば200Paとし、基板11は0℃に冷却した。

【0048】このようにして成膜した絶縁膜14においては、シリコンにアルキル基 (ここではメチル基) が結合されたため、結合のネットワークが断ち切られるので電子分極率が小さくなる。また膜の密度が低くなるため、分極する単位体積当たりの分子数が少なくなる。それによって、膜の比誘電率が低くなる。また本発明の原料ガスによるCVD反応は比較的反応が遅いため、重合が進まないうちは、この膜は液体のうように振る舞う。そのため、絶縁膜14においては、比誘電率は2.5〜3.5となり、ギャップフィル能力はアスペクト比=4まであり、グローバル平坦化度は配線間隔が10μmまではほぼ平坦な形状を保つことができた。

【0049】以下、上記図1によって説明したのと同様にして、例えばCVD法によって、絶縁膜14の上面に別の絶縁膜15として厚さが0.3μmの酸化シリコン ( $\text{SiO}_2$ ) 膜を形成した。この堆積方法としては、CVD法以外にもあり、例えばスパッタリング法または塗布法がある。

【0050】次に、上記絶縁膜14中の水分を除去するためにアニーリングを行った。このアニーリングでは、例えば一般に用いられているファーネスアニール炉を用い、不活性な雰囲気として例えば400℃の窒素 ( $\text{N}_2$ ) 雰囲気中で15分間のアニーリングを行った。

【0051】そして多層配線を形成する場合には、上記説明した工程を繰り返して行えばよい。その結果、上記図2に示したような構造の多層配線構造が形成できる。

【0052】この第3発明の実施例では、1種類のメチルクロロシランを用いたが、例えば2種類のメチルクロ

10

ロシラン ( $\text{Si}(\text{CH}_3)_2\text{Cl}_2$  と  $\text{Si}(\text{CH}_3)\text{Cl}_3$ ) を用いることも可能である。これは膜中のメチル基の混合比を制御するためであり、 $\text{Si}(\text{CH}_3)_2\text{Cl}_2$  を増やせばメチル基の割合は増加して誘電率が下がるが、その分、膜質は劣化する。一方、 $\text{Si}(\text{CH}_3)\text{Cl}_3$  を増やせばメチル基の割合は減少して膜質は良くなるが、塩素 (Cl) によって誘電率が高くなる。さらに膜質が要求される場合は、四フッ化ケイ素 ( $\text{SiF}_4$ ) を導入すればよい。また、ハロゲンを分解するための物質として水 ( $\text{H}_2\text{O}$ ) を用いたが、例えば過酸化水素 ( $\text{H}_2\text{O}_2$ ) を用いることも可能である。そのときの条件は水と同様である。

【0053】さらに上記基板温度を0℃に設定したが、この基板温度は、原料ガスのうちの少なくとも1種類のガスが液化化する温度に設定されていけばよい。したがって、基板温度は、原料ガスのうちの少なくとも1種類のガスの凝固点より高く設定され、上限は50℃に設定される。もし凝固点以下に設定された場合には、原料ガスは昇華して液化化しない。また50℃より高い温度では気化して液化化しない。したがって、基板温度は上記温度範囲に設定される。

【0054】

【発明の効果】以上、説明したように本発明によれば、CVD法においてアルキル基を有する原料ガスを用いたため、シリコン原子にアルキル基が結合することによって低い比誘電率の絶縁膜を形成することができる。また本発明の原料ガスによるCVD反応は比較的反応が遅いため、重合反応が進まないうちは、この膜は液体のうように振る舞う。そのため、ギャップフィル能力およびグローバル平坦化能力に優れた絶縁膜を形成することができる。したがって、本発明の絶縁膜は埋め込み能力が優れているので、半導体装置の絶縁膜として歩留りおよび信頼性の向上が図れ、また比誘電率が低いため、半導体装置の配線間容量を低減することができるので素子の高速化、低消費電力化が図れる。

【図面の簡単な説明】

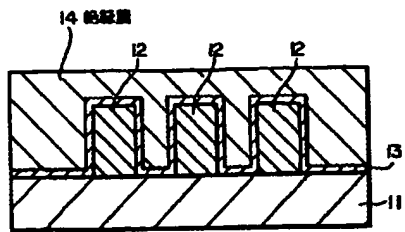
【図1】本発明の実施例の製造工程図である。

【図2】多層配線の形成例の説明図である。

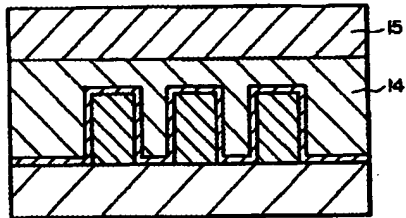
【符号の説明】

14 絶縁膜

【図1】



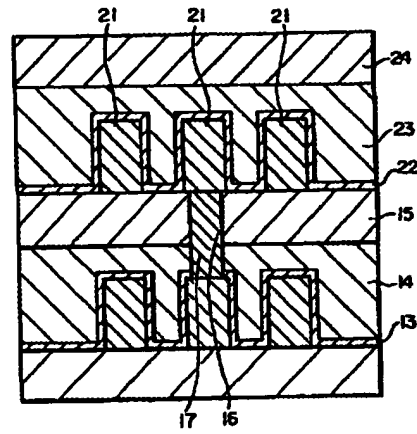
(1)



(2)

本発明の実施例の製造工程図

【図2】



多層配線の形成例の説明図